

VERIFICATION OF A TRANSLATION

I, the below named translator, hereby declare that:

My name and post office address are as stated below:

That I am knowledgeable in the English language and in the language in which the below identified international application was filed, and that I believe the English translation of the international application No. PCT/JP03/04814 is a true and complete translation of the above identified international application as filed.

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

Date

July 11, 2003

Full name of the translator

Mami TARUTANI

Signature of the translator

Mami Tarutani

Post Office Address

Kitahama TNK Building 7-1, Dosho-machi

1-chome, Chuo-ku, Osaka-shi, Osaka 541-0045,

Japan

PCT REQUEST

P03-20

Original (for SUBMISSION) - printed on 18.07.2003 03:03:18 PM

0	Receiving Office use only	
0-1	International Application No.	
0-2	International Filing Date	
0-3	Name of receiving Office and "PCT International Application"	
0-4	Form - PCT/RO/101 PCT Request	
0-4-1	Prepared using	PCT-EASY Version 2.92 (updated 01.06.2002)
0-5	Petition The undersigned requests that the present international application be processed according to the Patent Cooperation Treaty	
0-6	Receiving Office (specified by the applicant)	Japan Patent Office (RO/JP)
0-7	Applicant's or agent's file reference	P03-20
I	Title of Invention	SEMICONDUCTOR DEVICE AND PROCESS FOR MANUFACTURING THE SAME
II	Applicant	
II-1	This person is:	applicant only
II-2	Applicant for	all designated States except US
II-4	Name	MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.
II-5	Address:	1006, Oaza Kadoma, Kadoma-shi, Osaka 571-8501 Japan
II-6	State of nationality	JP
II-7	State of residence	JP
III-1	Applicant and/or Inventor	
III-1-1	This person is:	applicant and inventor
III-1-2	Applicant for	US only
III-1-4	Name (LAST, First)	TAKAGI, Takeshi
III-1-5	Address:	3-3, Uzumasakitaro-cho, Ukyo-ku, Kyoto-shi, Kyoto 616-8182 Japan
III-1-6	State of nationality	JP
III-1-7	State of residence	JP

PCT REQUEST

P03-20

Original (for SUBMISSION) - printed on 18.07.2003 03:03:18 PM

IV-1	Agent or communication representative; representative for correspondence The person identified below is hereby/has been appointed to act on behalf of the applicant(s) before the competent International Authorities as:	agent
IV-1-1	Name (LAST, First)	SAEGUSA, Eiichi
IV-1-2	Address:	Kitahama TNK Building, 1-7-1, Doshomachi, Chuo-ku, Osaka-shi, Osaka 541-0045 Japan
IV-1-3	Telephone No.	06-6203-0941
IV-1-4	Facsimile No.	06-6222-1068
IV-1-5	e-mail	saegusa@po.sphere.ne.jp
IV-2	Additional agent(s)	additional agent(s) with same address as first named agent
IV-2-1	Name(s)	KAKEHI, Hiromichi; TACHI, Yasumitsu
V	Designation of States	
V-1	Regional Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	AP: GH GM KE LS MW MZ SD SL SZ TZ UG ZM ZW and any other State which is a Contracting State of the Harare Protocol and of the PCT EA: AM AZ BY KG KZ MD RU TJ TM and any other State which is a Contracting State of the Eurasian Patent Convention and of the PCT EP: AT BE BG CH&LI CY CZ DE DK EE ES FI FR GB GR HU IE IT LU MC NL PT SE SI SK TR and any other State which is a Contracting State of the European Patent Convention and of the PCT OA: BF BJ CF CG CI CM GA GN GQ GW ML MR NE SN TD TG and any other State which is a member State of OAPI and a Contracting State of the PCT
V-2	National Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	AE AG AL AM AT AU AZ BA BB BG BR BY BZ CA CH&LI CN CO CR CU CZ DE DK DM DZ EC EE ES FI GB GD GE GH GM HR HU ID IL IN IS JP KE KG KR KZ LC LK LR LS LT LU LV MA MD MG MK MN MW MX MZ NI NO NZ OM PH PL PT RO RU SC SD SE SG SK SL TJ TM TN TR TT TZ UA UG US UZ VC VN YU ZA ZM ZW

PCT REQUEST

P03-20

Original (for SUBMISSION) - printed on 18.07.2003 03:03:18 PM

V-5	Precautionary Designation Statement In addition to the designations made under items V-1, V-2 and V-3, the applicant also makes under Rule 4.9(b) all designations which would be permitted under the PCT except any designation(s) of the State(s) indicated under item V-6 below. The applicant declares that those additional designations are subject to confirmation and that any designation which is not confirmed before the expiration of 15 months from the priority date is to be regarded as withdrawn by the applicant at the expiration of that time limit.		
V-6	Exclusion(s) from precautionary designations	NONE	
VI-1	Priority claim of earlier national application		
VI-1-1	Filing date	17 April 2002 (17.04.2002)	
VI-1-2	Number	2002-115037	
VI-1-3	Country	JP	
VI-2	Priority document request The receiving Office is requested to prepare and transmit to the International Bureau a certified copy of the earlier application(s) identified above as item(s):	VI-1	
VII-1	International Searching Authority Chosen	Japan Patent Office (JPO) (ISA/JP)	
VIII	Declarations	Number of declarations	
VIII-1	Declaration as to the identity of the inventor	-	
VIII-2	Declaration as to the applicant's entitlement, as at the international filing date, to apply for and be granted a patent	-	
VIII-3	Declaration as to the applicant's entitlement, as at the international filing date, to claim the priority of the earlier application	-	
VIII-4	Declaration of inventorship (only for the purposes of the designation of the United States of America)	-	
VIII-5	Declaration as to non-prejudicial disclosures or exceptions to lack of novelty	-	
IX	Check list	number of sheets	electronic file(s) attached
IX-1	Request (including declaration sheets)	4	-
IX-2	Description	18	-
IX-3	Claims	3	-
IX-4	Abstract	1	EZABST00.TXT
IX-5	Drawings	11	-
IX-7	TOTAL	37	
	Accompanying Items	paper document(s) attached	electronic file(s) attached
IX-8	Fee calculation sheet	✓	-
IX-9	Original separate power of attorney	✓	-
IX-17	PCT-EASY diskett	-	Diskett

PCT REQUEST

P03-20

Original (for SUBMISSION) - printed on 18.07.2003 03:03:18 PM

IX-19	Figur of th drawings which sh uld accompany th abstract	1
IX-20	Language of filing f the Int rnati nal applicati n	Japan se
X-1	Signature of applicant, agent or common representative	
X-1-1	Name (LAST, First)	SAEGUSA, Ei ji Seal
X-2	Signature of applicant, agent or common representative	
X-2-1	Name (LAST, First)	KAKEHI, Hiromichi Seal
X-3	Signature of applicant, agent or common representative	
X-3-1	Name (LAST, First)	TACHI, Yasumitsu Seal

FOR RECEIVING OFFICE USE ONLY

10-1	Date of actual receipt of the purported international application	
10-2	Drawings:	
10-2-1	Received	
10-2-2	Not received	
10-3	Corrected date of actual receipt due to later but timely received papers or drawings completing the purported international application	
10-4	Date of timely receipt of the required corrections under PCT Article 11(2)	
10-5	International Searching Authority	ISA/JP
10-6	Transmittal of search copy delayed until search fee is paid	

FOR INTERNATIONAL BUREAU USE ONLY

11-1	Date of receipt of the record copy by the International Bureau	
------	--	--

Docket No.: 63979-029

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Takeshi TAKAGI

Serial No.: Cont. of Appl. No.
PCT/JP03/04814

Filed: July 25, 2003

For: SEMICONDUCTOR DEVICE AND PROCESS FOR MANUFACTURING THE SAME

:
:
:
:
:
: Group Art Unit:
:
: Examiner:
:

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2002-115037, filed April 17, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael H. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:mlw
Facsimile: (202) 756-8087
Date: July 25, 2003

日本国特許庁
JAPAN PATENT OFFICE

63979-029
Takechi TAKAGI
July 25, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 4月17日

出願番号

Application Number:

特願2002-115037

[ST.10/C]:

[JP2002-115037]

出願人

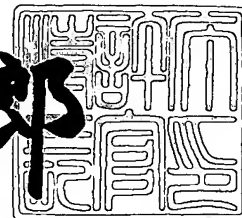
Applicant(s):

松下電器産業株式会社

2003年 4月18日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3028220

【書類名】 特許願

【整理番号】 2030230097

【提出日】 平成14年 4月17日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78

H01L 29/778

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 高木 剛

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 基板と、

上記基板の一部に設けられた半導体層と、

上記半導体層の上に設けられたゲート絶縁膜と、

上記ゲート絶縁膜上に設けられた半導体からなる下部ゲート電極と、

上記下部ゲート電極上に設けられ、下部ゲート電極よりも酸化速度の遅い材料からなる上部ゲート電極と、

上記半導体層のうち上記下部ゲート電極の両側方に位置する領域に設けられた第 1 導電型のソース・ドレイン領域と、

上記下部ゲート電極及び上部ゲート電極の側面上に酸化により形成され、上記下部ゲート電極の側方に位置する部分では、上記上部ゲート電極の側方に位置する部分よりも横方向の厚みが大きい酸化膜サイドウォールとを備えている半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、

上記酸化膜サイドウォールの下部の内側端部は、上記ソース・ドレイン領域の上方に位置していることを特徴とする半導体装置。

【請求項 3】 請求項 1 又は 2 記載の半導体装置において、

上記下部ゲート電極は、 $\text{Si}_{1-x_1-y_1}\text{Ge}_{x_1}\text{C}_{y_1}$ ($0 < x_1 < 1$, $0 \leq y_1 < 1$) により構成され、

上記上部ゲート電極は、 $\text{Si}_{1-x_2-y_2}\text{Ge}_{x_2}\text{C}_{y_2}$ ($0 < x_2 < 1$, $0 \leq y_2 < 1$, $x_1 > x_2$) により構成され、

ていることを特徴とする半導体装置。

【請求項 4】 請求項 3 記載の半導体装置において、

上記ソース・ドレイン領域は P 型領域であり、

上記下部ゲート電極及び上部ゲート電極は P 型不純物を含み、

上記半導体層は、 $\text{Si}_{1-x_3-y_3}\text{Ge}_{x_3}\text{C}_{y_3}$ ($0 < x_3 < 1$, $0 \leq y_3 < 1$) により構成されるチャネル領域を有していることを特徴とする半導体装置。

【請求項 5】 請求項 4 記載の半導体装置において、

上記基板の他部に設けられた第 2 の半導体層と、

上記もう 1 つの半導体層の上に設けられた第 2 のゲート絶縁膜と、

上記第 2 のゲート絶縁膜上に設けられ、N 型不純物を含む $\text{Si}_{1-x_1-y_1}\text{Ge}_{x_1}\text{C}_{y_1}$ ($0 < x_1 < 1$, $0 \leq y_1 < 1$) により構成される第 2 の下部ゲート電極と、

上記第 2 の下部ゲート電極上に設けられ、N 型不純物を含む $\text{Si}_{1-x_2-y_2}\text{Ge}_{x_2}\text{C}_{y_2}$ ($0 < x_2 < 1$, $0 \leq y_2 < 1$, $x_1 > x_2$) により構成される第 2 の上部ゲート電極と、

上記第 2 の半導体層のうち上記第 2 の下部ゲート電極の両側方に位置する領域に設けられた N 型ソース・ドレイン領域と、

上記第 1 の下部ゲート電極及び上部ゲート電極の側面上に酸化により形成され、上記第 2 の下部ゲート電極の側方に位置する部分では、上記第 2 の上部ゲート電極の側方に位置する部分よりも横方向の厚み大きい第 2 の酸化膜サイドウォールとを備え、

上記第 2 の半導体層は、 $\text{Si}_{1-x_3-y_3}\text{Ge}_{x_3}\text{C}_{y_3}$ ($0 < x_3 < 1$, $0 \leq y_3 < 1$) により構成されるチャネル領域を有していることを特徴とする半導体装置。

【請求項 6】 請求項 3～5 のうちいずれか 1 つに記載の半導体装置において、

上記下部ゲート電極は、 $\text{Si}_{1-x_4-y_4}\text{Ge}_{x_4}\text{C}_{y_4}$ ($0 < x_4 < 1$, $0 \leq y_4 < 1$) により構成され、

上記上部ゲート電極は、金属又はシリサイドにより構成されていることを特徴とする半導体装置。

【請求項 7】 請求項 3～6 のうちいずれか 1 つに記載の半導体装置において、

上記下部ゲート電極のうち上記酸化膜サイドウォールに隣接する部分における Ge 組成率は、上記下部ゲート電極の中央部よりも高いことを特徴とする半導体装置。

【請求項 8】 基板と、

上記基板の一部に設けられた半導体層と、
上記半導体層の上に設けられたゲート絶縁膜と、
上記ゲート絶縁膜上に設けられた半導体からなるゲート電極と、
上記半導体層のうち上記ゲート電極の両側方に位置する領域に設けられた第 1 導電型のソース・ドレイン領域とを備え、

上記ゲート電極を構成する半導体の仕事関数が上記ゲート電極の側部と中央部とでは相異なることを特徴とする半導体装置。

【請求項 9】 請求項 8 記載の半導体装置において、
上記ソース・ドレイン領域は P 型領域であり、
上記ゲート電極を構成する半導体のゲート電極の端部における仕事関数が中央部より小さいことを特徴とする半導体装置。

【請求項 10】 請求項 8 記載の半導体装置において、
上記ソース・ドレイン領域は N 型領域であり、
上記ゲート電極を構成する半導体のゲート電極の端部における仕事関数が中央部より大きいことを特徴とする半導体装置。

【請求項 11】 基板の半導体層の上にゲート絶縁膜を形成する工程（a）と、

上記ゲート絶縁膜上に第 1 の半導体膜を堆積する工程（b）と、
上記第 1 の半導体膜の上に第 1 の半導体膜よりも酸化速度の遅い材料からなる第 2 の半導体膜を形成する工程（c）と、
上記第 1，第 2 の半導体膜をそれぞれパターニングして、下部ゲート電極及び上部ゲート電極を形成する工程（d）と、

上記下部ゲート電極及び上部ゲート電極の上方から、上記半導体層内に不純物を導入してソース・ドレイン領域を形成する工程（e）と、

上記下部ゲート電極及び上部ゲート電極の側面部を酸化して、上記下部ゲート電極の側方に位置する部分では、上記上部ゲート電極の側方に位置する部分よりも横方向の厚みが大きい酸化膜サイドウォールを形成する工程（f）とを含み、

上記工程（f）では、上記下部ゲート電極のゲート長方向の寸法を上記上部ゲート電極よりも狭くすることを特徴とする半導体装置の製造方法。

【請求項 1 2】 請求項 1 1 記載の半導体装置の製造方法において、
上記工程（f）においては、水蒸気を含む雰囲気中で酸化することを特徴とする半導体装置の製造方法。

【請求項 1 3】 請求項 1 1 又は 1 2 記載の半導体装置の製造方法において

上記工程（b）においては、 $\text{Si}_{1-x_1-y_1}\text{Ge}_{x_1}\text{C}_{y_1}$ （ $0 < x_1 < 1$, $0 \leq y_1 < 1$ ）により構成される第 1 の半導体膜を形成し、

上記工程（c）においては、 $\text{Si}_{1-x_2-y_2}\text{Ge}_{x_2}\text{C}_{y_2}$ （ $0 < x_2 < 1$, $0 \leq y_2 < 1$, $x_1 > x_2$ ）により構成される第 2 の半導体膜を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、M I S トランジスタ構造を有する半導体装置及びその製造方法に係り、特に、ゲートオーバーラップ容量の低減対策に関する。

【0 0 0 2】

【従来の技術分野】

近年、C M O S デバイスにおいては、M I S トランジスタのゲート長の微細化やゲート絶縁膜の薄膜化などのスケーリングにより、動作速度の向上および集積度の向上が実現されている。特に、最近では、厚みが 2 n m 以下のゲート酸化膜や、ゲート長が 5 0 n m 程度のゲート電極を備えた M I S トランジスタが開発されてきている。

【0 0 0 3】

図 1 は、従来の一般的な M I S トランジスタの断面図である。同図に示すように、従来の一般的な M I S トランジスタは、S i 基板 1 0 0 の上面上に形成された酸化シリコンからなるゲート絶縁膜 1 0 1 と、ゲート絶縁膜 1 0 1 の上に形成されたポリシリコンからなるゲート電極 1 0 2 と、ゲート電極 1 0 2 の側面上に形成された酸化膜サイドウォール 1 0 3 と、S i 基板 1 0 0 のうち酸化膜サイドウォール 1 0 3 の側方に位置する領域に形成された高濃度ソース・ドレイン領域

1 0 4 と、S i 基板 1 0 0 のうち高濃度ソース・ドレイン領域 1 0 4 の内側端部からゲート電極 1 0 2 下方まで延びる領域に形成されたソース・ドレインエクステンション領域 1 0 5 とを備えている。

【 0 0 0 4 】

ここで、ゲート絶縁膜の薄膜化に伴い、低電圧動作と電流駆動力の増大とが可能になるが、反面、ポリシリコンゲート電極を有する M I S トランジスタにおいて、ゲート絶縁膜の薄膜化に伴って、以下のような不具合も生じている。

【 0 0 0 5 】

① ゲート電極に導入されているボロンなどの不純物が、極薄の酸化膜を突き抜けてチャネル領域にまで導入されてしまい、M I S トランジスタのしきい値電圧の変動など、電気的特性の劣化を招くおそれがある。

【 0 0 0 6 】

② 薄膜化によってゲート絶縁膜の容量が増大するので、それに伴い、ゲート電極側にも空乏層が生じ、実効的なゲート絶縁膜が厚くなってしまう。これは、ポリシリコンゲート電極において不純物の固溶限界があることにも起因している。

【 0 0 0 7 】

③ 図 1 に示すようなソース・ドレインエクステンション領域とゲート電極がオーバーラップしている領域に生じる、ゲートオーバーラップ容量が増大する。これは、ゲート絶縁膜の薄膜化と、ゲート長の微細化とにより、結果的に寄生容量が増大することに起因しており、無視できない値となってきた。つまり、ゲートオーバーラップ容量の増大は、M I S トランジスタの動作速度向上の阻害要因となっている。

【 0 0 0 8 】

そこで、このような問題点を解決するため、これまで以下のような提案がなされている。

【 0 0 0 9 】

① ボロンの突き抜けに対しては、ゲート絶縁膜として、不純物拡散防止効果の高い酸化窒化膜を用いることにより改善することが提案されている。

【 0 0 1 0 】

② ゲート電極の空乏化に対しては、文献 1 (W. C. Lee et al., "Investigation of poly-Si_{1-x}Ge_x for dual-gate CMOS technology," IEEE Electron Device Lett., vol.19, 1998, p.247) に開示されているように、不純物の固溶度の高い多結晶 SiGe をゲート電極に用いた CMOS デバイスが提案されている。

【 0 0 1 1 】

③ オーバーラップ容量の増大に対しては、文献 2 (T. Ghani, et al., "100 nm gate length high performance / low power CMOS transistor structure," 1999 IEDM, p.415.) に開示されているように、ポリシリコンゲート電極の下部を狭く加工したノッチゲート構造が提案されている。ノッチゲートは、ゲート電極の上部では幅が広く、トランジスタのゲート長が規定されるゲート電極の下部では幅が狭くなっている構造であるため、ゲート長の微細化にともなうゲート抵抗の上昇を招くことなく、ゲートオーバーラップ容量を低減できるという効果も有している。

【 0 0 1 2 】

さらに、文献 3 (T. Skotnicki, et al., "Well-controlled, selectively under-etched Si/SiGe gates for RF and high performance CMOS," 2000 Symposium of VLSI Technology, p.156.) に開示されているように、これらを複合した多結晶 SiGe / 多結晶 Si を積層したゲート電極を用い、多結晶 SiGe からなる下部ゲート電極のみをドライエッチングにより選択エッチングすることにより、ノッチゲートを作製したトランジスタが報告されている。

【 0 0 1 3 】

【発明が解決しようとする課題】

ここで、上記文献 3 に開示されているようなノッチゲート構造は、比較的簡素な構造でありながら、ゲートオーバーラップ容量を効果的に低減できる点で、有望と考えられる。

【 0 0 1 4 】

しかしながら、文献 3 に記載されているノッチゲートは、構造は簡素であるものの、製造工程において、多結晶 SiGe からなる下部ゲート電極のみを選択的

に横方向にエッチングする特殊なドライエッチング技術が必要であり、工程が複雑化するという不具合があった。

【 0 0 1 5 】

本発明の目的は、簡素な工程で下部ゲート電極を選択的に狭める手段を講ずることにより、ゲートオーバーラップ容量の低減を図り、もって高速動作に適した M I S トランジスタ構造を有する半導体装置及びその製造方法を提供することにある。

【 0 0 1 6 】

【課題を解決するための手段】

本発明の第 1 の半導体装置は、基板と、上記基板の一部に設けられた半導体層と、上記半導体層の上に設けられたゲート絶縁膜と、上記ゲート絶縁膜上に設けられた半導体からなる下部ゲート電極と、上記下部ゲート電極上に設けられ、下部ゲート電極よりも酸化速度の遅い材料からなる上部ゲート電極と、上記半導体層のうち上記下部ゲート電極の両側方に位置する領域に設けられた第 1 導電型のソース・ドレイン領域と、上記下部ゲート電極及び上部ゲート電極の側面上に酸化により形成され、上記下部ゲート電極の側方に位置する部分では、上記上部ゲート電極の側方に位置する部分よりも横方向の厚みが大きい酸化膜サイドウォールとを備えている。

【 0 0 1 7 】

これにより、下部ゲート電極とソース・ドレイン領域とのオーバーラップ量を低減することが可能になり、寄生容量であるゲート・ドレインオーバーラップ容量の低減による半導体装置の高速動作化を図ることができる。一方、上部ゲート電極の面積はある程度広く確保することができるので、半導体装置の駆動力の低下を抑制することができる。すなわち、上部で広く下部で狭いノッチゲート構造を有する半導体装置により、電流駆動力の低下を抑制しつつ、高速動作化を図ることができる。

【 0 0 1 8 】

上記酸化膜サイドウォールの下部の内側端部は、上記ソース・ドレイン領域の上方に位置していることにより、ゲート・ドレインオーバーラップ量を 0 になら

ない程度に確保することができる。

【0019】

上記下部ゲート電極は、 $\text{Si}_{1-x_1-y_1}\text{Ge}_{x_1}\text{C}_{y_1}$ ($0 < x_1 < 1$, $0 \leq y_1 < 1$) により構成され、上記上部ゲート電極は、 $\text{Si}_{1-x_2-y_2}\text{Ge}_{x_2}\text{C}_{y_2}$ ($0 < x_2 < 1$, $0 \leq y_2 < 1$, $x_1 > x_2$) により構成されていることにより、 SiGe 又は SiGeC では Ge の組成率が高いほど酸化速度が速いことを利用して、ノッチゲート構造を特徴とする半導体装置。

【0020】

上記ソース・ドレイン領域はP型領域であり、上記下部ゲート電極及び上部ゲート電極はP型不純物を含み、上記半導体層は、 $\text{Si}_{1-x_3-y_3}\text{Ge}_{x_3}\text{C}_{y_3}$ ($0 < x_3 < 1$, $0 \leq y_3 < 1$) により構成されるチャネル領域を有していることにより、Pチャネル型MISトランジスタにおけるしきい値電圧の上昇を回避することができる。

【0021】

上記基板の他部に設けられた第2の半導体層と、上記もう1つの半導体層の上に設けられた第2のゲート絶縁膜と、上記第2のゲート絶縁膜上に設けられ、N型不純物を含む $\text{Si}_{1-x_1-y_1}\text{Ge}_{x_1}\text{C}_{y_1}$ ($0 < x_1 < 1$, $0 \leq y_1 < 1$) により構成される第2の下部ゲート電極と、上記第2の下部ゲート電極上に設けられ、N型不純物を含む $\text{Si}_{1-x_2-y_2}\text{Ge}_{x_2}\text{C}_{y_2}$ ($0 < x_2 < 1$, $0 \leq y_2 < 1$, $x_1 > x_2$) により構成される第2の上部ゲート電極と、上記第2の半導体層のうち上記第2の下部ゲート電極の両側方に位置する領域に設けられたN型ソース・ドレイン領域と、上記第1の下部ゲート電極及び上部ゲート電極の側面上に酸化により形成され、上記第2の下部ゲート電極の側方に位置する部分では、上記第2の上部ゲート電極の側方に位置する部分よりも横方向の厚みが大きい第2の酸化膜サイドウォールとを備え、上記第2の半導体層は、 $\text{Si}_{1-x_3-y_3}\text{Ge}_{x_3}\text{C}_{y_3}$ ($0 < x_3 < 1$, $0 \leq y_3 < 1$) により構成されるチャネル領域を有していることにより、デュアルゲート構造を有し、Nチャネル型、Pチャネル型の双方におけるしきい値電圧を同等に設計することを可能としつつ、Pチャネル型MISトランジスタが高速動作化された相補型半導体装置が得られる。

【 0 0 2 2 】

上記下部ゲート電極は、 $\text{Si}_{1-x_4-y_4}\text{Ge}_{x_4}\text{C}_{y_4}$ ($0 < x_4 < 1$, $0 \leq y_4 < 1$) により構成され、上記上部ゲート電極は、金属又はシリサイドにより構成されている構造を採ることもできる。

【 0 0 2 3 】

上記下部ゲート電極のうち上記酸化膜サイドウォールに隣接する部分における Ge 組成率が、上記下部ゲート電極の中央部よりも高いことにより、より高速動作する半導体装置が得られる。

【 0 0 2 4 】

本発明の第 2 の半導体装置は、基板と、上記基板の一部に設けられた半導体層と、上記半導体層の上に設けられたゲート絶縁膜と、上記ゲート絶縁膜上に設けられた半導体からなるゲート電極と、上記半導体層のうち上記ゲート電極の両側に位置する領域に設けられた第 1 導電型のソース・ドレイン領域とを備え、上記ゲート電極を構成する半導体の仕事関数が上記ゲート電極の側部と中央部とは相異なっている。

【 0 0 2 5 】

これにより、チャネル領域において、ソース・ドレイン間に電圧を印加した状態でキャリアの走行に対するポテンシャルが傾斜した領域を設けることが可能になり、電界加速により高速でキャリアが走行する MIS トランジスタが得られることになる。

【 0 0 2 6 】

上記ソース・ドレイン領域が P 型領域である場合には、上記ゲート電極を構成する半導体のゲート電極の端部における仕事関数が中央部より小さいことが好ましい。

【 0 0 2 7 】

上記ソース・ドレイン領域が N 型領域である場合には、上記ゲート電極を構成する半導体のゲート電極の端部における仕事関数が中央部より大きいことが好ましい。

【 0 0 2 8 】

本発明の半導体装置の製造方法は、基板の半導体層の上にゲート絶縁膜を形成する工程（a）と、上記ゲート絶縁膜上に第1の半導体膜を堆積する工程（b）と、上記第1の半導体膜の上に第1の半導体膜よりも酸化速度の遅い材料からなる第2の半導体膜を形成する工程（c）と、上記第1，第2の半導体膜をそれぞれパターニングして、下部ゲート電極及び上部ゲート電極を形成する工程（d）と、上記下部ゲート電極及び上部ゲート電極の上方から、上記半導体層内に不純物を導入してソース・ドレイン領域を形成する工程（e）と、上記下部ゲート電極及び上部ゲート電極の側面部を酸化して、上記下部ゲート電極の側方に位置する部分では、上記上部ゲート電極の側方に位置する部分よりも横方向の厚みが大い酸化膜サイドウォールを形成する工程（f）とを含み、上記工程（f）では、上記下部ゲート電極のゲート長方向の寸法を上記上部ゲート電極よりも狭くする方法である。

【 0 0 2 9 】

この方法により、本発明のノッチゲート構造を有する半導体装置を容易に形成することができる。

【 0 0 3 0 】

上記工程（f）においては、水蒸気を含む雰囲気中で酸化することにより、酸化速度の差をより顕著に生じさせることができる。

【 0 0 3 1 】

上記工程（b）においては、 $\text{Si}_{1-x_1-y_1}\text{Ge}_{x_1}\text{C}_{y_1}$ ($0 < x_1 < 1$, $0 \leq y_1 < 1$) により構成される第1の半導体膜を形成し、上記工程（c）においては、 $\text{Si}_{1-x_2-y_2}\text{Ge}_{x_2}\text{C}_{y_2}$ ($0 < x_2 < 1$, $0 \leq y_2 < 1$, $x_1 > x_2$) により構成される第2の半導体膜を形成することが好ましい。

【 0 0 3 2 】

【発明の実施の形態】

本発明では、多結晶Siと多結晶SiGeとでは、多結晶SiGeの酸化速度の方が速いことなど、材料によって酸化速度が異なることを利用して、下部ゲート電極は酸化速度の大きい材料により構成し、上部ゲート電極は酸化速度が小さいか、ほとんど酸化されない材料によって構成することにより、簡素な工程で、

ノッチゲート構造を実現している。

【 0 0 3 3 】

(第 1 の実施形態)

図 2 は、本発明の第 1 の実施形態における多結晶 SiGe / 多結晶 Si ノッチゲート構造を有する半導体装置 (MIS トランジスタ) の断面図である。

【 0 0 3 4 】

同図に示すように、本実施形態の半導体装置は、Si 基板 10 の上面上に形成された酸化シリコンからなる厚み約 2 nm のゲート絶縁膜 11 と、ゲート絶縁膜 11 の上に形成され、高濃度の P 型不純物 (例えばボロン) を含む厚み 50 nm の多結晶 SiGe (Ge 組成率約 50 %) からなる下部ゲート電極 12 a と、下部ゲート電極 12 a の上に形成され、高濃度の P 型不純物 (例えばボロン) を含む厚み 150 nm の多結晶 Si からなる上部ゲート電極 12 b と、下部ゲート電極 12 a 及び上部ゲート電極 12 b の側面上に形成された酸化膜サイドウォール 13 と、酸化膜サイドウォール 13 の側面上に形成された窒化膜サイドウォール 14 と、Si 基板 10 のうち窒化膜サイドウォール 14 の側方に位置する領域に形成された P 型の高濃度ソース・ドレイン領域 15 と、Si 基板 10 のうち高濃度ソース・ドレイン領域 15 の内側端部からゲート電極 12 a 下方まで延びる領域に形成された P 型のソース・ドレインエクステンション領域 16 とを備えている。

【 0 0 3 5 】

そして、本実施形態の半導体装置の特徴は、下部ゲート電極 12 a のゲート長方向の寸法が上部ゲート電極 12 b のゲート長方向の寸法よりも小さいことである。酸化膜サイドウォール 13 は、多結晶 SiGe からなる下部ゲート電極 12 a と多結晶 Si からなる上部ゲート電極 12 b との側面部の酸化により形成されている。ところが、多結晶 SiGe の方が多結晶 Si よりも酸化速度が速いことから、下部ゲート電極 12 a の酸化が進んで、酸化膜サイドウォール 13 は下部の方が上部よりも横方向の厚みが厚くなるように形成される。また、下部ゲート電極 12 a のゲート長方向の寸法が上部ゲート電極 12 b のゲート長方向の寸法よりも小さくなっている。

【 0 0 3 6 】

ここで、本実施形態のソース・ドレインエクステンション領域 1 6 は、各ゲート電極 1 2 a、1 2 b の酸化前に各ゲート電極 1 2 a、1 2 b の上方からの不純物イオンの注入により形成されている。したがって、ソース・ドレインエクステンション領域 1 6 と下部ゲート電極 1 2 a とのオーバーラップ領域であるゲート・ドレインオーバーラップ領域 R_{gd} の面積は、下部ゲート電極 1 2 a が後退した分だけ小さくなっている。しかも、上部ゲート電極 1 2 b のゲート長方向寸法は、それほど縮小されないの、ゲート抵抗の増大を抑制することができ、MIS トランジスタの駆動力を確保することができる。よって、本実施形態の半導体装置においては、ゲート絶縁膜 1 1 を薄膜化しても、ゲートオーバーラップ容量の増大を抑制することができ、寄生容量の低減により、高速動作化を図ることができる。

【 0 0 3 7 】

図 3 (a) ～図 4 (d) は、本実施形態の多結晶 SiGe / 多結晶 Si ノッチゲート構造を有する半導体装置の製造工程を示す断面図である。

【 0 0 3 8 】

まず、図 3 (a) に示す工程で、素子分離領域（図示せず）、ウエル等を Si 基板 1 0 に形成する。図 3 (a) ～図 4 (d) には、素子分離領域によって囲まれた活性領域のみが図示されている。また、本実施形態においては、P 型の MIS トランジスタの製造工程について説明するので、MIS トランジスタは N ウエル上に向けられていることを前提としている。

【 0 0 3 9 】

次に、図 3 (b) に示す工程で、熱酸化法により Si 基板 1 0 の上面を酸化して、厚み約 2 nm のゲート絶縁膜 1 1 を形成する。次に、図 3 (c) に示す工程で、LP-CVD 法により、ゲート絶縁膜 1 1 の上に、厚み 50 nm の多結晶 SiGe 膜 1 2 x と、厚み 150 nm の多結晶 Si 膜 1 2 y とを順次堆積する。次に、図 3 (d) に示す工程で、フォトリソグラフィ及びドライエッチングにより、多結晶 Si 膜 1 2 y 及び多結晶 SiGe 膜 1 2 x を順にパターニングして、ゲート長方向寸法が約 0.13 μ m の下部ゲート電極 1 2 a 及び上部ゲート電極

1 2 b を形成する。

【 0 0 4 0 】

次に、図 4 (a) に示す工程で、各ゲート電極 1 2 a , 1 2 b の上方から P 型不純物イオンであるフッ化ボロンイオン (BF_2^+) を、加速電圧 5 k e V , ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$, 傾き角 7° 以下の条件で注入し、ソース・ドレインエクステンション領域 1 6 を形成する。

【 0 0 4 1 】

次に、図 4 (b) に示す工程で、パイロジェニック酸化を行って、下部ゲート電極 1 2 a 及び上部ゲート電極 1 2 b の各側面から上部ゲート電極 1 2 b の上面を覆う酸化膜 1 3 x を形成する。このとき、酸化膜 1 3 x の厚みは、多結晶 S i からなる下部ゲート電極 1 2 a の側面上では約 3 0 n m であり、多結晶 S i からなる上部ゲート電極 1 2 b の側面及び上面上では 1 0 n m である。

【 0 0 4 2 】

次に、図 4 (c) に示す工程で、基板上にシリコン窒化膜を堆積した後、シリコン窒化膜の異方性エッチングを行なう。このとき、酸化膜 1 3 x のうち各ゲート電極 1 2 a , 1 2 b の側面上の部分のみが残されて、酸化膜サイドウォール 1 3 が形成されるとともに、酸化膜サイドウォール 1 3 の側面上に窒化膜サイドウォール 1 4 が形成される。

【 0 0 4 3 】

次に、図 4 (d) に示す工程で、各ゲート電極 1 2 a , 1 2 b , 酸化膜サイドウォール 1 3 及び窒化膜サイドウォール 1 4 の上方から P 型不純イオンであるフッ化ボロンイオン (BF_2^+) を、加速電圧 3 0 k e V , ドーズ量 $4 \times 10^{15} \text{ cm}^{-2}$, 傾き角 7° 以下の条件で注入し、高濃度ソース・ドレイン領域 1 5 を形成する。その後、高濃度ソース・ドレイン領域 1 5 及びソース・ドレインエクステンション領域 1 6 の不純物活性化のための R T A (高速熱処理) を行なう。

【 0 0 4 4 】

その後の工程は図示しないが、基板上への層間絶縁膜の形成、コンタクトホール形成、プラグ及び配線の形成、などが行なわれる。

【 0 0 4 5 】

本実施形態の製造工程によると、下部ゲート電極 1 2 a を構成する材料（本実施形態においては、多結晶 SiGe）の酸化速度が、上部ゲート電極 1 2 b を構成する材料（本実施形態においては、多結晶 Si）の酸化速度よりも大きい（2 ～ 4 倍程度）ことを利用して、下部ゲート電極 1 2 a のゲート長方向寸法を上部ゲート電極 1 2 b のゲート長方向寸法よりも小さいいわゆるノッチゲート構造を容易に形成することができる。

【 0 0 4 6 】

上記文献 3 に記載されている従来のノッチゲート構造の形成方法では、下部ゲート電極のみを選択的にエッチングするために特殊なドライエッチング技術が必要であり、工程の複雑化を招いている。それに対して、本実施形態の製造方法では、一般的な熱酸化法を利用するだけなので、極めて簡素な工程で、ノッチゲート構造を形成することができる利点がある。

【 0 0 4 7 】

なお、本実施形態では多結晶 SiGe からなる下部ゲート電極 1 2 a を設けたが、多結晶 SiGe に代えて 1 % 程度もしくは 1 % 未満の微量のカーボン（C）を含む多結晶 SiGeC からなる下部ゲートを設けてもよい。その場合、C の存在により、ボロンの拡散が抑制されるので、Si 基板へのボロンの突き抜けによるしきい値電圧の変動などを有効に抑制しうる利点がある。一方、C は微量しか添加されないので、多結晶 SiGeC の酸化速度は多結晶 SiGe の酸化速度とほぼ同等に維持することができる。

【 0 0 4 8 】

また、上部ゲート電極 1 2 b を、多結晶 Si に代えて金属により構成してもよい。その場合、金属膜の表面上にはほとんど酸化膜が形成されないので、下部ゲート電極の側面上にのみ酸化膜サイドウォールが形成される状態となる。

【 0 0 4 9 】

（第 2 の実施形態）

本実施形態においては、上記第 1 の実施形態と同じ多結晶 SiGe / 多結晶 Si ノッチゲート構造を有し、かつ、SiGe チャネル構造を有する MIS トランジスタについて説明する。

【 0 0 5 0 】

図 5 は、本発明の第 2 の実施形態の半導体装置（M I S トランジスタ）の断面図である。

【 0 0 5 1 】

同図に示すように、本実施形態の半導体装置は、第 1 の実施形態の半導体装置と同様に、S i 基板 1 0 の上面上に形成された酸化シリコンからなる厚み約 2 n m のゲート絶縁膜 1 1 と、ゲート絶縁膜 1 1 の上に形成された厚み 5 0 n m の多結晶 S i G e （G e 組成率約 5 0 %）からなる下部ゲート電極 1 2 a と、下部ゲート電極 1 2 a の上に形成された厚み 1 5 0 n m の多結晶 S i からなる上部ゲート電極 1 2 b と、下部ゲート電極 1 2 a の側面上に形成された酸化膜サイドウォール 1 3 と、酸化膜サイドウォール 1 3 の側面上に形成された窒化膜サイドウォール 1 4 と、S i 基板 1 0 のうち窒化膜サイドウォール 1 4 の側方に位置する領域に形成された P 型の高濃度ソース・ドレイン領域 1 5 と、S i 基板 1 0 のうち高濃度ソース・ドレイン領域 1 5 の内側端部からゲート電極 1 2 a 下方まで延びる領域に形成された P 型のソース・ドレインエクステンション領域 1 6 とを備えている。

【 0 0 5 2 】

そして、本実施形態の半導体装置においても、第 1 の実施形態と同じ熱酸化法により酸化膜サイドウォール 1 3 を形成していることから、下部ゲート電極 1 2 a のゲート長方向の寸法が上部ゲート電極 1 2 b のゲート長方向の寸法よりも小さく、ゲート・ドレインオーバーラップ領域 Rgd の面積は小さくなっている。

【 0 0 5 3 】

そして、第 2 の実施形態においては、S i 基板 1 0 の上面上にエピタキシャル成長により形成された厚み 1 5 n m の S i G e 膜 2 1 と、S i G e 膜 2 1 の上にエピタキシャル成長により形成された厚み 5 n m の S i 膜 2 2 とが設けられている。そして、下部ゲート電極 1 2 a の直下領域に、S i G e チャンネル層 2 4 と S i キャップ層 2 5 とが設けられている。一方、S i G e 膜 2 1 と S i 膜 2 2 とのうち下部ゲート電極 1 2 a の両側方に位置する領域は、S i 基板 1 0 の一部とともに、高濃度ソース・ドレイン領域 1 5 及びソース・ドレインエクステンション

領域16となっている。

【0054】

このように、SiGeチャネル領域24を設けたことによる効果について、以下に説明する。

【0055】

図6(a), (b), (c)は、それぞれ順に、N型及びP型の多結晶Siゲート、N型及びP型の多結晶SiGeゲート、N型及びP型の多結晶SiGeCゲートのバンド構造を示すエネルギーバンド図である。

【0056】

デュアルゲート構造を採る場合、Nチャネル型MISトランジスタのゲート電極にはN型の不純物がドーピングされ、Pチャネル型MISトランジスタのゲート電極にはP型の不純物がドーピングされる。そして、Nチャネル型MISトランジスタのゲート電極のフェルミレベルEFは、伝導帯端のエネルギー準位Ecである。Pチャネル型MISトランジスタのゲート電極のフェルミレベルEFは、価電子帯端のエネルギー準位Evである。

【0057】

そして、図6(a), (b)を比べるとわかるように、N型MISトランジスタの場合、多結晶SiGeゲートの仕事関数 ϕ_{mn2} （真空準位とフェルミレベルEFとの差）は、多結晶Siゲートの仕事関数 ϕ_{mn1} （真空準位とフェルミレベルEFとの差）とほとんど変わらない。しかし、P型MISトランジスタの場合、多結晶SiGeゲートの仕事関数 ϕ_{mp2} （真空準位とフェルミレベルEFとの差）は、多結晶Siゲートの仕事関数 ϕ_{mp1} （真空準位とフェルミレベルEFとの差）よりもかなり小さい。その結果、以下のような不利益が生じる。

【0058】

図7(a), (b)は、それぞれ順に、多結晶Siゲート及びSiチャネル領域を有するPチャネル型MISトランジスタ、多結晶SiGeゲート及びSiチャネル領域を有するPチャネル型MISトランジスタのビルトインポテンシャルを示す図である。図7(a), (b)に示すMISトランジスタの動作時には、Pチャネルは、Siチャネル領域のうちゲート絶縁膜に近い部分に形成される。

図 7 (a), (b) を比べるとわかるように、多結晶 SiGe ゲートを有する P チャンネル型 MIS トランジスタにおいては、ビルトインポテンシャルにおけるバンドの曲がりが緩やかになる結果、多結晶 Si ゲートを有する P チャンネル型 MIS トランジスタよりも、しきい値電圧が高くなる傾向がある。

【 0 0 5 9 】

図 8 (a), (b) は、それぞれ順に、多結晶 Si ゲート及び SiGe チャンネル領域を有する P チャンネル型 MIS トランジスタ、多結晶 SiGe ゲート及び SiGeC チャンネル領域を有する P チャンネル型 MIS トランジスタのビルトインポテンシャルを示す図である。

【 0 0 6 0 】

図 8 (a) に示すように、本実施形態の半導体装置においては、下部ゲート電極 12a が SiGe ゲートであり、Si キャップ層 25 と、SiGe チャンネル領域 25 とを有しているので、Si / SiGe ヘテロ接合部の価電子帯端にバンドオフセットが形成される。したがって、本実施形態の P チャンネル型 MIS トランジスタによると、トランジスタ動作時には、ホールが SiGe チャンネル領域 25 の価電子帯端に形成された P チャンネルを走行するので、Si ゲート及び Si チャンネル領域を有する P チャンネル型 MIS トランジスタ (図 7 (a) 参照) に比べても、しきい値電圧の上昇を抑制することができる。すなわち、本実施形態の半導体装置により、第 1 の実施形態の効果に加えて、しきい値電圧を小さく抑制することができる利点がある。

【 0 0 6 1 】

－ 第 2 の実施形態の第 1 の変形形態 －

第 2 の実施形態における SiGe チャンネル領域に代えて、SiGeC チャンネル領域を設けてもよい。その場合、図 8 (c) に示すように、Si / SiGeC ヘテロ接合部の価電子帯端にバンドオフセットが形成される。そして、P チャンネルが SiGeC チャンネル領域の価電子帯端に形成されるので、第 2 の実施形態と同様に、しきい値電圧の上昇を抑制する効果が得られる。

【 0 0 6 2 】

－ 第 2 の実施形態の第 2 の変形形態 －

一方、図 6 (c) に示すように、N 型 M I S トランジスタの場合には、多結晶 S i G e C ゲートの仕事関数 ϕ_{mn3} は、多結晶 S i ゲートの仕事関数 ϕ_{mn1} よりも大きく、P 型 M I S トランジスタの場合には、多結晶 S i G e C ゲートの仕事関数 ϕ_{mp3} は、多結晶 S i ゲートの仕事関数 ϕ_{mp1} よりも小さい。したがって、S i G e C ゲートと S i チャネル領域とを有する N M I S トランジスタ及び P M I S トランジスタの双方において、図 7 (b) に示すと同様の不利益が生じるはずである。その場合、P M I S トランジスタにおいては、多結晶 S i G e C ゲートと、多結晶 S i G e チャネル領域又は多結晶 S i G e C チャネル領域を設けることにより、それぞれ図 8 (a), (b) に示すと同様に、しきい値電圧の上昇を抑制することができる。一方、N チャネル型 M I S トランジスタについても、以下のような効果を発揮することができる。

【 0 0 6 3 】

図 9 (a), (b), (c) は、それぞれ順に、多結晶 S i ゲート及び S i チャネル領域を有する N チャネル型 M I S トランジスタ、多結晶 S i G e C ゲート及び S i チャネル領域を有する N チャネル型 M I S トランジスタ、及び多結晶 S i G e C ゲート及び S i G e C チャネル領域を有する N チャネル型 M I S トランジスタのビルトインポテンシャルを示す図である。

【 0 0 6 4 】

図 9 (a), (b) に示す M I S トランジスタにおいて、N チャネルは、S i チャネル領域のうちゲート絶縁膜に近い部分に形成される。図 9 (a), (b) を比べるとわかるように、多結晶 S i G e C ゲートを有する N チャネル型 M I S トランジスタにおいては、ビルトインポテンシャルにおけるバンドの曲がりが緩やかになる結果、多結晶 S i ゲートを有する N チャネル型 M I S トランジスタよりも、しきい値電圧が高くなる傾向がある。

【 0 0 6 5 】

一方、図 9 (c) に示すように、多結晶 S i G e C ゲート及び S i G e C チャネル領域を有する N チャネル型 M I S トランジスタにおいては、S i / S i G e C ヘテロ接合部の伝導帯端にバンドオフセットが形成される。したがって、N チャネル型 M I S トランジスタにより、トランジスタの動作時には、電子が S i G

eチャネル領域25の伝導帯端に形成されたNチャネルを走行するので、Siゲート及びSiチャネル領域を有するNチャネル型MISトランジスタ（図9（a）参照）に比べても、しきい値電圧の上昇を抑制することができる。すなわち、本変形形態の半導体装置により、第1の実施形態の効果に加えて、Nチャネル型MISトランジスタのしきい値電圧を小さく抑制することができる利点がある。

【0066】

（第3の実施形態）

本実施形態においては、上記第1、第2の実施形態と同じ多結晶SiGe／多結晶Siノッチゲート構造を有し、かつ、デュアルゲート構造を有するCMISデバイスについて説明する。

【0067】

図10は、本発明の第3の実施形態の半導体装置（CMISデバイス）の断面図である。

【0068】

同図に示すように、本実施形態の半導体装置は、Si基板10の表面領域に形成されたシャロートレンチ型素子分離領域STIと、素子分離領域STIによって区切られる領域に形成されたNウエル30と、Pウエル50とを備えている。そして、Nウエル30の上方には、Pチャネル型MISトランジスタ（PMISFET）が設けられ、Pウエル50の上方には、Nチャネル型MISトランジスタ（NMISFET）が設けられている。

【0069】

PMISFETは、Nウエル30の上面上に形成された酸化シリコンからなる厚み約2nmのゲート絶縁膜31と、ゲート絶縁膜31の上に形成され、高濃度のP型不純物を含む厚み50nmの多結晶SiGe（Ge組成率約30%）からなる下部ゲート電極32aと、下部ゲート電極32aの上に形成され、高濃度のP型不純物を含む厚み150nmの多結晶Siからなる上部ゲート電極32bと、下部ゲート電極32aの側面上に形成された酸化膜サイドウォール33と、酸化膜サイドウォール33の側面上に形成された窒化膜サイドウォール34と、Nウエル30のうち窒化膜サイドウォール34の側方に位置する領域に形成された

P型の高濃度ソース・ドレイン領域35と、Nウェル30のうち高濃度ソース・ドレイン領域35の内側端部からゲート電極32a下方まで延びる領域に形成されたP型のソース・ドレインエクステンション領域36とを備えている。

【0070】

そして、本実施形態のPMISFETにおいても、第1の実施形態と同じ熱酸化法により酸化膜サイドウォール33を形成していることから、下部ゲート電極32aのゲート長方向の寸法が上部ゲート電極32bのゲート長方向の寸法よりも小さく、ゲート・ドレインオーバーラップ領域の面積は小さくなっている。

【0071】

そして、本実施形態においては、Nウェル30の上面上にエピタキシャル成長により形成された厚み15nmのSiGe膜41と、SiGe膜41の上にエピタキシャル成長により形成された厚み5nmのSi膜42とが設けられている。そして、下部ゲート電極32aの直下領域に、SiGeチャネル層44とSiキップ層45とが設けられている。一方、SiGe膜41とSi膜42とのうち下部ゲート電極32aの両側方に位置する領域は、Nウェル30の一部とともに、高濃度ソース・ドレイン領域35及びソース・ドレインエクステンション領域36となっている。

【0072】

NMISFETは、Pウェル50の上面上に形成された酸化シリコンからなる厚み約2nmのゲート絶縁膜51と、ゲート絶縁膜51の上に形成され、高濃度のN型不純物を含む厚み50nmの多結晶SiGe(Ge組成率約30%)からなる下部ゲート電極52aと、下部ゲート電極52aの上に形成され、高濃度のN型不純物を含む厚み150nmの多結晶Siからなる上部ゲート電極52bと、下部ゲート電極52aの側面上に形成された酸化膜サイドウォール53と、酸化膜サイドウォール53の側面上に形成された窒化膜サイドウォール54と、Pウェル50のうち窒化膜サイドウォール54の側方に位置する領域に形成されたN型の高濃度ソース・ドレイン領域55と、Pウェル50のうち高濃度ソース・ドレイン領域55の内側端部からゲート電極52a下方まで延びる領域に形成されたN型のソース・ドレインエクステンション領域56とを備えている。

【 0 0 7 3 】

そして、本実施形態のPMISFETにおいても、第1の実施形態と同じ熱酸化法により酸化膜サイドウォール53を形成していることから、下部ゲート電極52aのゲート長方向の寸法が上部ゲート電極52bのゲート長方向の寸法よりも小さく、ゲート・ドレインオーバーラップ領域の面積は小さくなっている。

【 0 0 7 4 】

そして、本実施形態においては、Pウエル50の上面上にエピタキシャル成長により形成された厚み15nmのSiGe膜61と、SiGe膜61の上にエピタキシャル成長により形成された厚み5nmのSi膜62とが設けられている。そして、下部ゲート電極52aの直下領域に、SiGeチャネル層64とSiキヤップ層65とが設けられている。一方、SiGe膜61とSi膜62とのうち下部ゲート電極52aの両側方に位置する領域は、Pウエル50の一部とともに、高濃度ソース・ドレイン領域55及びソース・ドレインエクステンション領域56となっている。

【 0 0 7 5 】

このように、SiGeチャネル領域44、64を設けたデュアルゲート型CMISデバイスにより、以下のような効果を発揮することができる。

【 0 0 7 6 】

PMISFETにおいては、Si/SiGeヘテロ接合部の価電子帯端にバンドオフセットが生じるので、ホールがSiGeチャネル領域44の伝導帯端に形成されたPチャネルを走行することになる。よって、第2の実施形態で説明したように、ゲート・ドレインオーバーラップ領域の低減による高速動作化を図りつつ、しきい値電圧の上昇を抑制することができる。

【 0 0 7 7 】

一方、NMISFETにおいては、Si/SiGeヘテロ接合部の伝導帯端にはバンドオフセットがほとんど生じないため、NMISFETの動作時には、Nチャネルは、Siキヤップ層45のうちゲート絶縁膜31に近い領域に形成され、このNチャネルを電子が走行することになる。つまり、SiGeチャネル領域を有していないNMISFETとほぼ同じ動作を行なうことになる。

【 0 0 7 8 】

ここで、従来の多結晶 Si ゲートを有するデュアルゲート CMOS デバイスにおいては、NMISFET と、PMISFET のしきい値電圧を、ほぼ同等に設計することができたが、上述のように、多結晶 Si Ge ゲートを有するデュアルゲート CMOS デバイスにおいては、NMISFET と PMISFET の多結晶 Si Ge ゲートの仕事関数のバランスが崩れるため、NMISFET と PMISFET とでしきい値電圧を同等に設計することが困難となる。

【 0 0 7 9 】

すなわち、本実施形態の NMISFET では、多結晶 Si Ge ゲートと多結晶 Si ゲートとで仕事関数 ϕ_{mn2} , ϕ_{mn1} がほぼ同じであるために、しきい値電圧は多結晶 Si ゲートを有する NMISFET とほとんど変わらず、低いしきい値電圧を維持しうる。一方、本実施形態の PMISFET では、多結晶 Si Ge ゲートと多結晶 Si ゲートとでは、仕事関数 ϕ_{mp2} , ϕ_{mp1} が互いに異なるが、トランジスタの動作時には、Si Ge チャンネル領域 4 4 に形成される P チャンネルをホールが走行するので、しきい値電圧を低く維持することができる。

【 0 0 8 0 】

すなわち、本実施形態のデュアルゲート CMOS デバイスによると、NMISFET の動作時には、Si キャップ層 6 5 の表面領域に形成される N チャンネルを電子が走行し、PMISFET の動作時には、バンドギャップの小さい Si Ge チャンネル領域 4 4 に形成される P チャンネルをホールが走行するため、PMISFET と NMISFET とのしきい値電圧を同等に低く維持することができ、両者のバランスを保つことができる、

また、本実施形態の CMOS デバイスにおいては、PMISFET の P チャンネルがホール移動度の高い Si Ge チャンネル領域 4 4 に形成されるため、電流駆動力が増大し、CMOS デバイスによりインバータを構成した場合には、PMISFET の Si Ge チャンネル領域の面積を縮小と、それに伴う容量の低減とを図ることができる。よって、本実施形態により、ゲート・ドレインオーバーラップ領域の面積の低減による高速動作化に加えて、半導体装置の集積度の向上と高速動作のさらなる向上とを図ることができる。

【 0 0 8 1 】

(第 4 の実施形態)

本発明においては、ノッチゲートを形成するために、酸化速度の速い下部ゲート電極と、酸化速度が比較的遅いか、酸化されない上部ゲート電極の側面部を酸化することを基本としている。本実施形態においては、下部ゲート電極を SiGe または SiGeC によって構成した場合に、下部ゲート電極の酸化において生じる、酸化膜からの Ge のはきだしと Ge の偏析とを利用して、トランジスタの特性向上を図った例について述べる。

【 0 0 8 2 】

図 1 1 (a) ~ (d) は、それぞれ順に、本実施形態の半導体装置 (MIS トランジスタ) の断面図、XIcd-XIcd 線に示す断面における Ge 組成率の分布を示す図、XIcd-XIcd 線に示す断面における仕事関数の分布を示す図、及び XIcd-XIcd 線に示す断面における価電子帯端のホール走行に対するポテンシャルを示す図である。ただし、図 1 1 (d) において、真空準位は縦軸の下方に位置している。

【 0 0 8 3 】

ここで、SiGe 層又は SiGeC 層を酸化する際に、酸化膜として SiO₂ が形成され、既に酸化された領域から未酸化領域に向かって Ge が排出されていくという現象が見られる。排出された Ge は、SiGe 層又は SiGeC 層のうち酸化膜との界面付近の領域に凝縮される。その結果、図 1 1 (b) に示すように、下部ゲート電極 1 2 a のうち酸化膜サイドウォール 1 3 に隣接する領域は Ge リッチ領域となる。したがって、図 1 1 (c) に示すように、下部ゲート電極 1 2 a のうち酸化膜サイドウォール 1 3 に隣接する領域 (側部) の仕事関数は、ゲート中央部よりも小さくなり、チャネル領域におけるホール走行に対するポテンシャルは、中央部よりも両端部で高くなる構造となる。

【 0 0 8 4 】

したがって、P チャネル型 MIS トランジスタにドレイン電圧が印加されると、図 1 1 (d) に示すように、チャネル領域において、ホールの走行に対するポテンシャルが傾斜した領域が生じる。すなわち、ホールがこのポテンシャルの傾斜によって電界加速されて、高速で P チャネルを走行するので、高速動作が可能

となる。

【0085】

ただし、Nチャネル型MISトランジスタにおいては、一般に下部ゲート電極にN型不純物がドーピングされるので、その場合には、下部ゲート電極のうち酸化膜サイドウォールに隣接する領域（側部）の仕事関数は、ゲート中央部よりも大きくなる。そして、チャネル領域における電子の走行に対するポテンシャル分布は、中央部よりも両端部で高くなる。したがって、Nチャネル型MISトランジスタにドレイン電圧が印加されると、チャネル領域において、電子の走行に対するポテンシャルが傾斜した領域が生じる。すなわち、電子がこのポテンシャルの傾斜によって電界加速されて、高速でNチャネルを走行するので、高速動作が可能となる。

【0086】

なお、ゲート電極の仕事関数を、キャリアの走行が加速される方向に傾斜させるように、中央部と側部とで変化させるための方法は、本実施形態に限定されるものではない。

【0087】

また、上記各実施形態では、下部ゲート電極を多結晶SiGe又は多結晶SiGeCにより構成したが、下部ゲート電極をアモルファスSiGe又はアモルファスSiGeCにより構成してもよい。

【0088】

また、上部ゲート電極を金属又はシリサイドにより構成してもよい。その場合には、上部ゲート電極の側面部はほとんど酸化されないことになる。

【0089】

【発明の効果】

本発明の半導体装置又はその製造方法によると、ノッチゲート構造による高速動作化、又はゲート電極中の仕事関数の相違による高速動作化された半導体装置を得ることができる。

【図面の簡単な説明】

【図1】

従来の一般的なM I S トランジスタの断面図である。

【図 2】

本発明の第 1 の実施形態における多結晶 S i G e / 多結晶 S i ノッチゲート構造を有する半導体装置の断面図である。

【図 3】

(a) ~ (d) は、本発明の第 1 の実施形態における半導体装置の製造工程のうち前半部分を示す断面図である。

【図 4】

(a) ~ (d) は、本発明の第 1 の実施形態における半導体装置の製造工程のうち後半部分を示す断面図である。

【図 5】

本発明の第 2 の実施形態の半導体装置 (M I S トランジスタ) の断面図である。

【図 6】

(a) , (b) , (c) は、それぞれ順に、N 型及び P 型の多結晶 S i ゲート , N 型及び P 型の多結晶 S i G e ゲート , N 型及び P 型の多結晶 S i G e C ゲートのバンド構造を示すエネルギーバンド図である。

【図 7】

(a) , (b) は、それぞれ順に、多結晶 S i ゲート及び S i チャネル領域を有する P M I S F E T 、多結晶 S i G e ゲート及び S i チャネル領域を有する P M I S F E T のビルトインポテンシャルを示す図である。

【図 8】

(a) , (b) は、それぞれ順に、多結晶 S i ゲート及び S i G e チャネル領域を有する P M I S F E T 、多結晶 S i G e ゲート及び S i G e C チャネル領域を有する P M I S F E T のビルトインポテンシャルを示す図である。

【図 9】

(a) , (b) , (c) は、それぞれ順に、多結晶 S i ゲート及び S i チャネル領域を有する N M I S F E T 、多結晶 S i G e C ゲート及び S i チャネル領域を有する N M I S F E T 、及び多結晶 S i G e C ゲート及び S i G e C チャネル

領域を有するNMISFETのビルトインポテンシャルを示す図である。

【図 1 0】

本発明の第 3 の実施形態の半導体装置の断面図である。

【図 1 1】

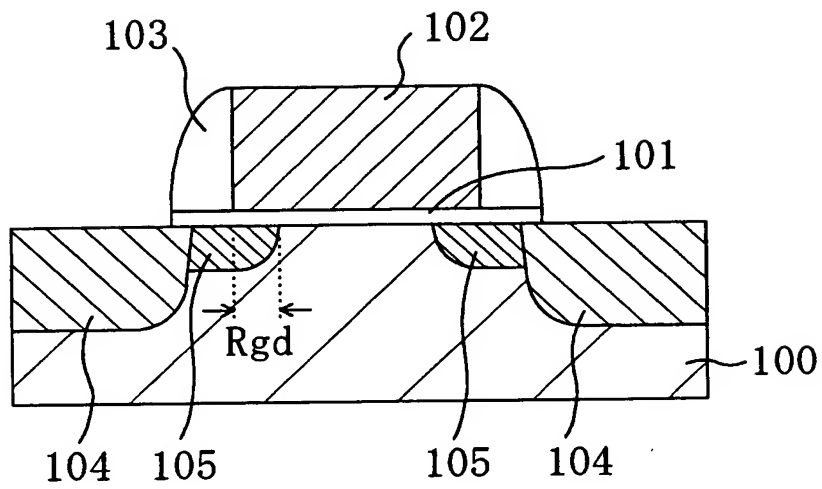
(a) ~ (d) は、それぞれ順に、第 4 の実施形態の半導体装置の断面図、XIcd-XIcd線に示す断面におけるGe組成率の分布を示す図、XIcd-XIcd線に示す断面における仕事関数の分布を示す図、及びXIcd-XIcd線に示す断面における価電子帯端のホール走行に対するポテンシャルを示す図である。

【符号の説明】

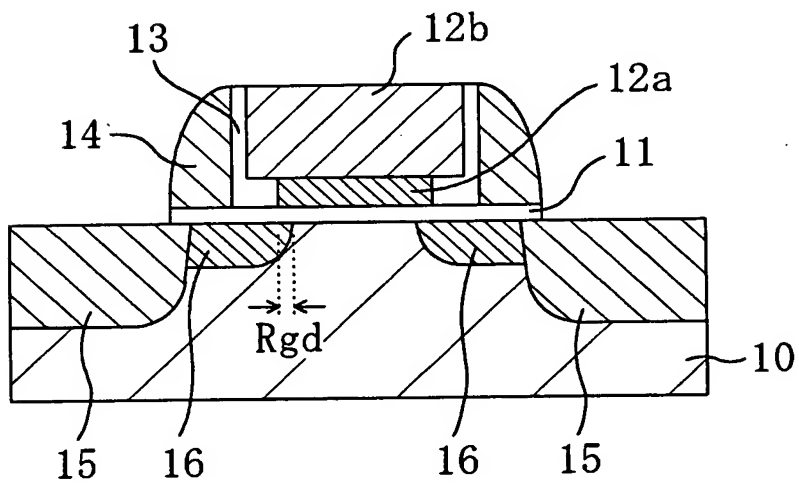
- 1 0 Si 基板
- 1 1 ゲート絶縁膜
- 1 2 a 下部ゲート電極
- 1 2 a 上部ゲート電極
- 1 2 x 多結晶SiGe膜
- 1 2 y 多結晶Si膜
- 1 3 酸化膜サイドウォール
- 1 4 窒化膜サイドウォール
- 1 5 高濃度ソース・ドレイン領域
- 1 6 ソース・ドレインエクステンション領域

【書類名】 図面

【図 1】

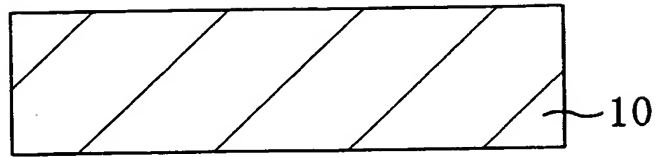


【図 2】

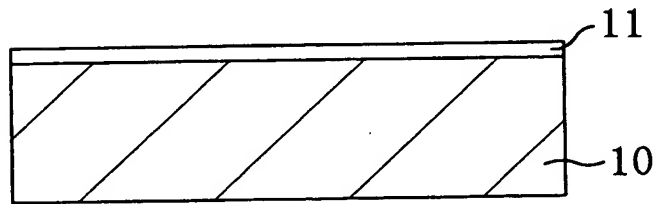


【図 3】

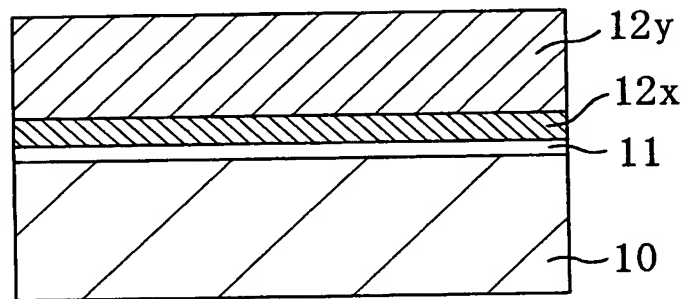
(a)



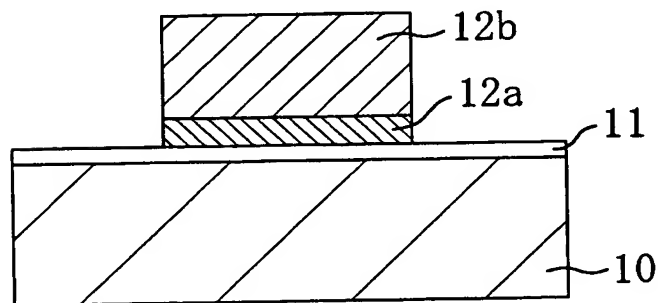
(b)



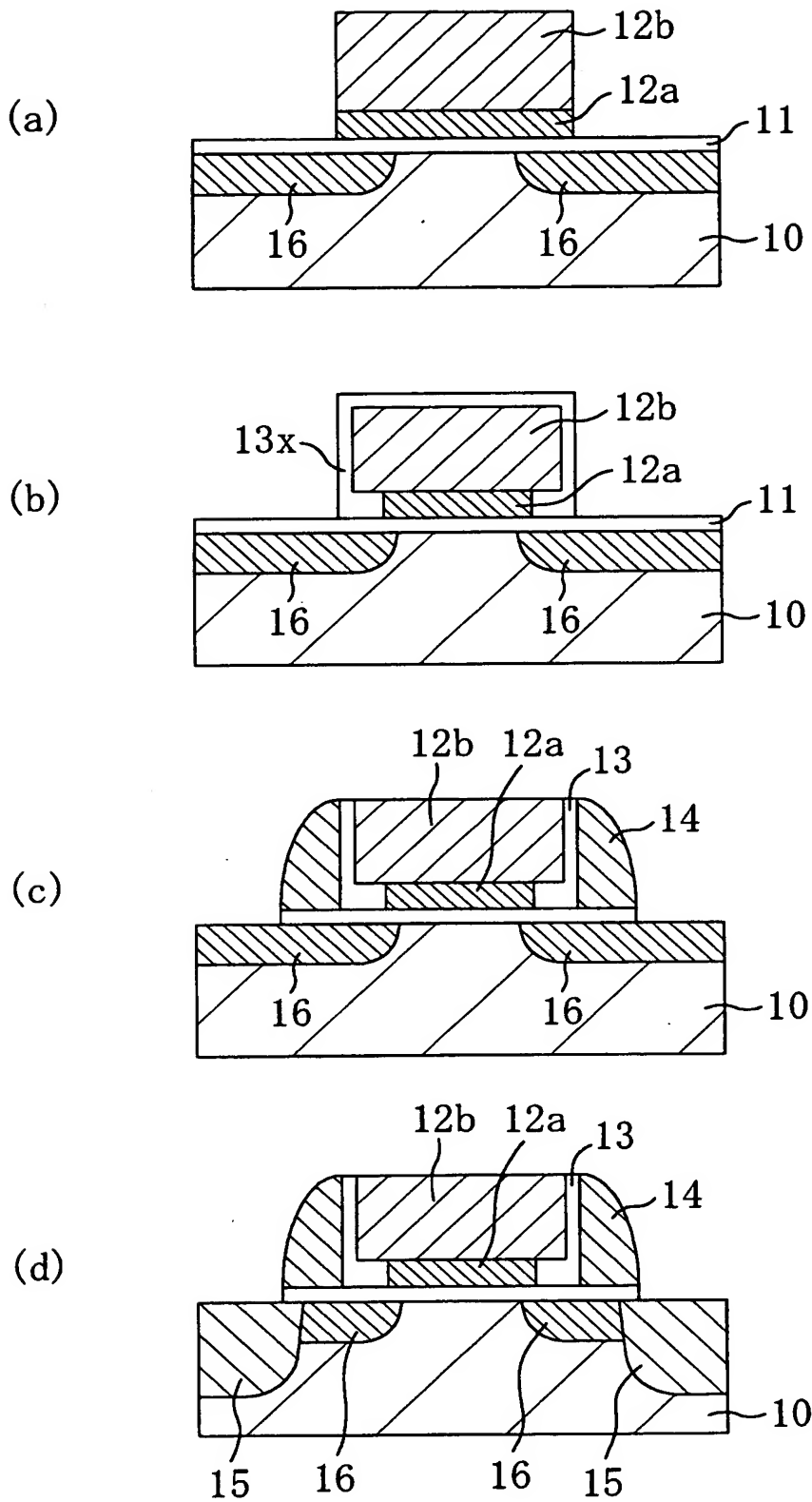
(c)



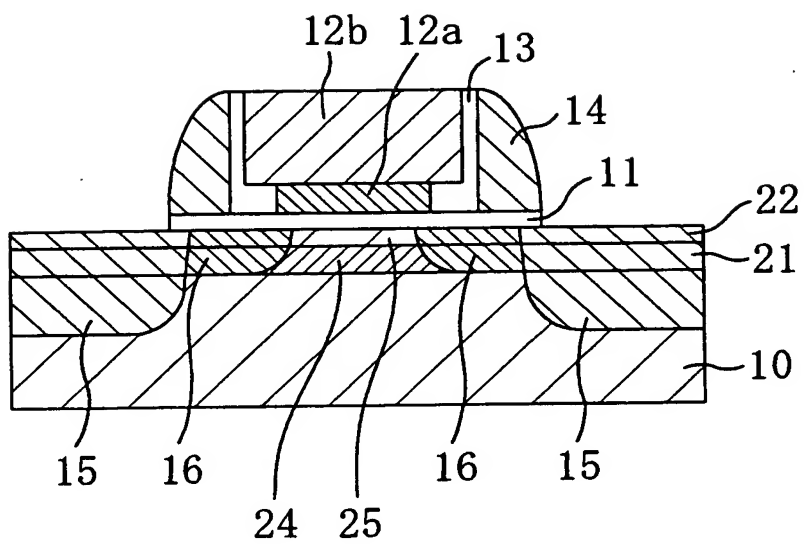
(d)



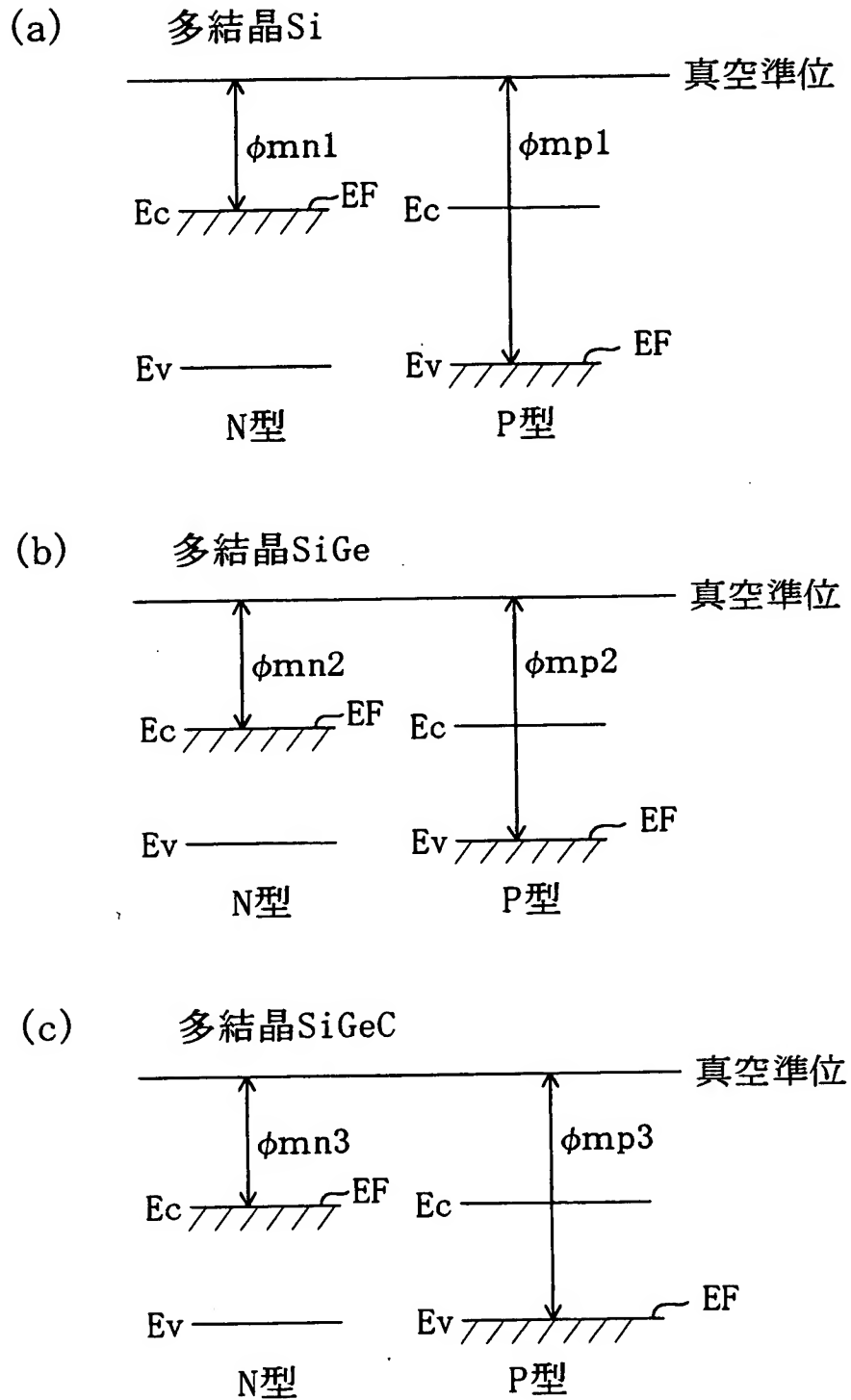
【図 4】



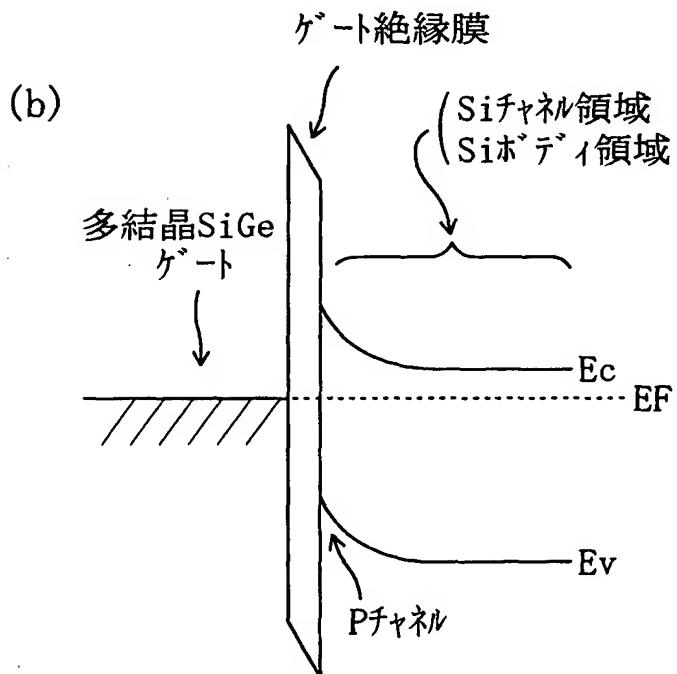
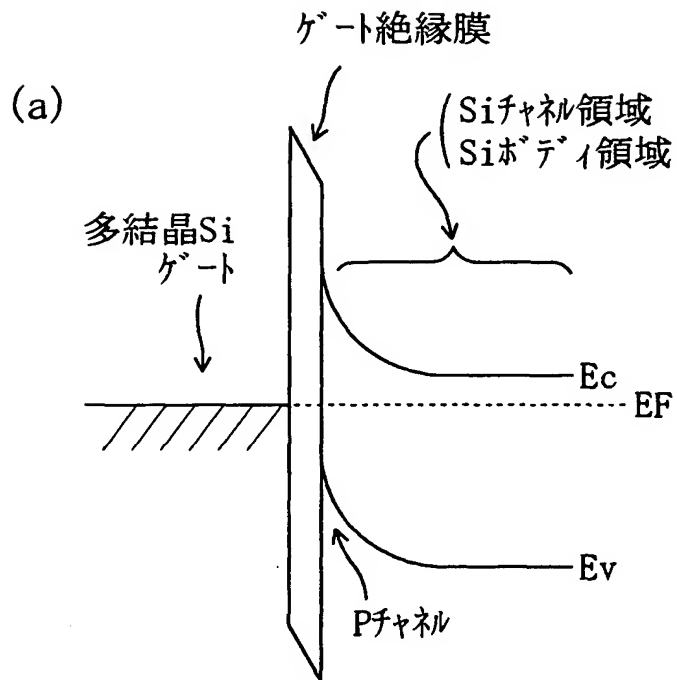
【図 5】



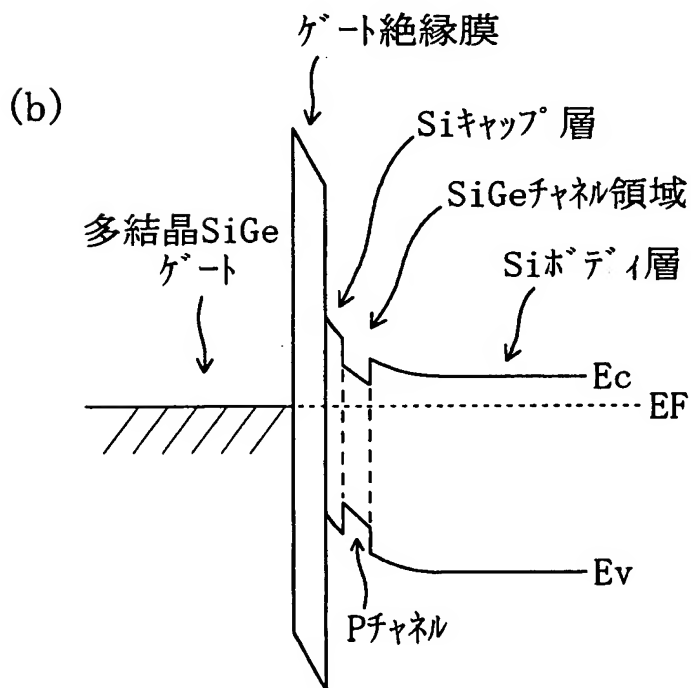
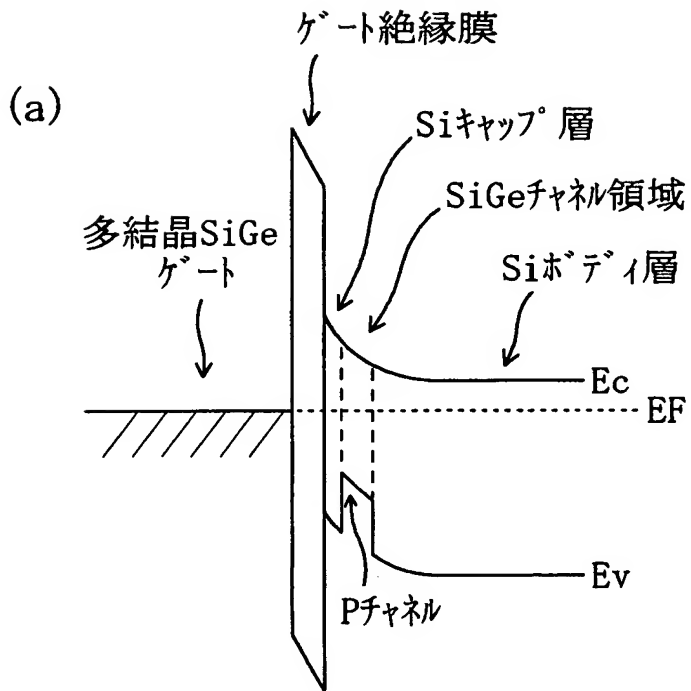
【図 6】



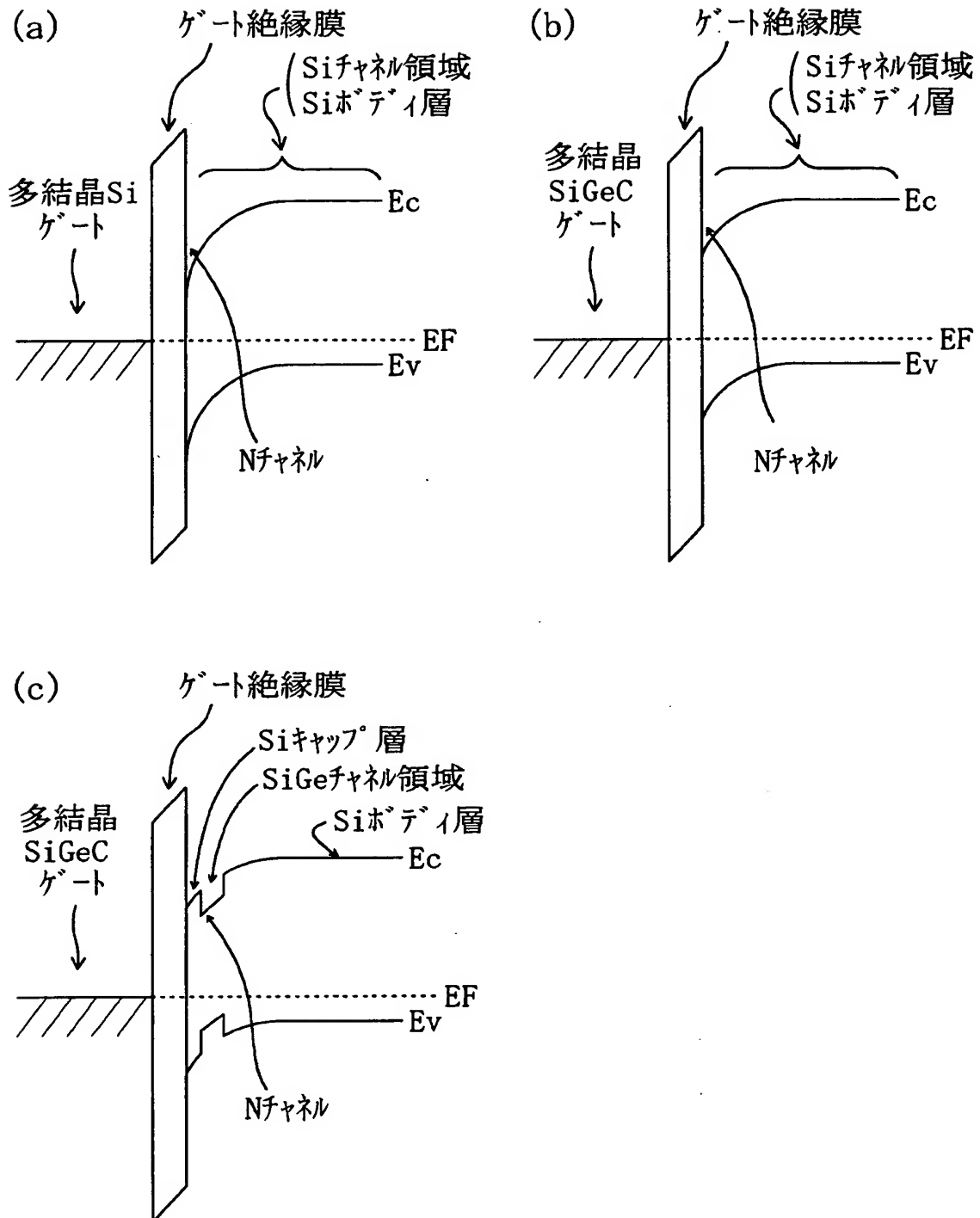
【図7】



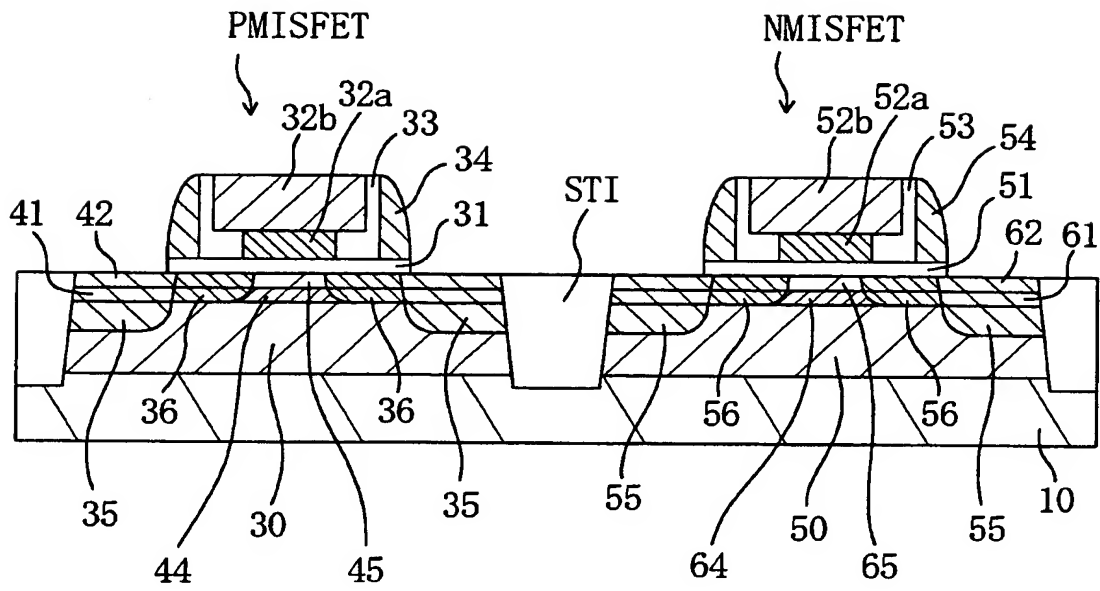
【図 8】



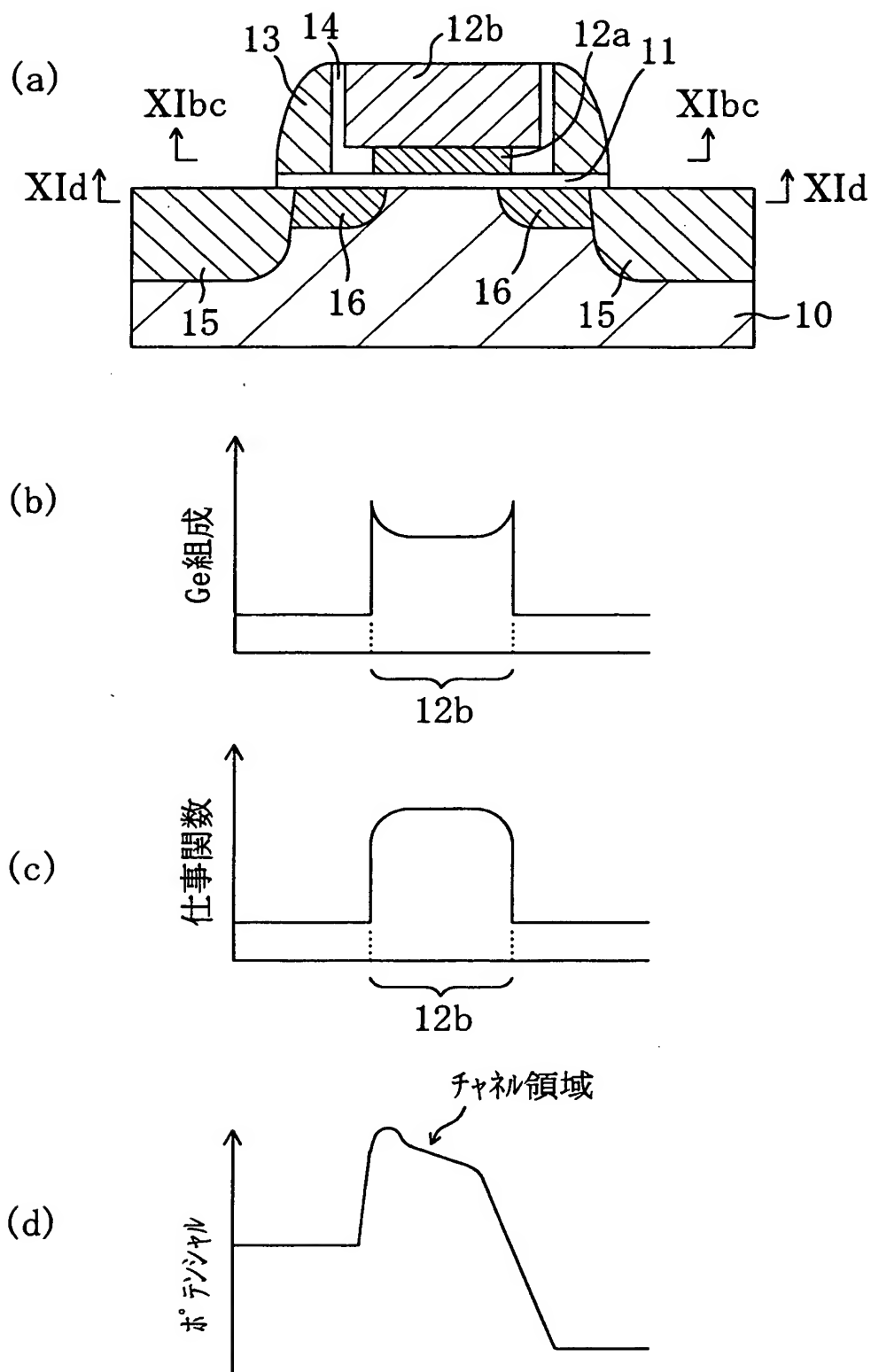
【図9】



【図 1 0】



【図 11】



【書類名】 要約書

【要約】

【課題】 ノッチゲート構造を有し、高速動作が可能な半導体装置及びその製造方法を提供する。

【解決手段】 半導体装置は、S i 基板 1 0 と、ゲート絶縁膜 1 1 と、多結晶 S i G e からなる下部ゲート電極 1 2 a と、多結晶 S i からなる上部ゲート電極 1 2 b と、下部ゲート電極 1 2 a 及び上部ゲート電極 1 2 b の酸化により形成された酸化膜サイドウォール 1 3 と、窒化膜サイドウォール 1 4 と、高濃度ソース・ドレイン領域 1 5 と、ソース・ドレインエクステンション領域 1 6 とを備えている。多結晶 S i G e の方が多結晶 S i よりも酸化速度が速いことから、酸化膜サイドウォール 1 3 は下部の方が上部よりも横方向の厚みが厚く、下部ゲート電極 1 2 a のゲート長方向の寸法が上部ゲート電極 1 2 b のゲート長方向の寸法よりも小さい。これにより、ゲート・ドレインオーバーラップ容量の低減による高速動作化が実現する。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社